

# 信號完整性設計及電磁模擬技術 (Signal Integrity and EM Simulation)

為了滿足消費者的各式需求，電子產品的功能日趨複雜，導致積體電路的時脈不斷拉高以達到更佳效能外，整合不同功能的積體電路於同一電子系統內，也成為了現今電子產品提升附加價值的必要手段。此趨勢造成評估系統間信號傳輸時，所使用的電磁模擬技術需要考慮至更高頻段，也須準確的預測系統內各種的雜訊耦合(Noise coupling)機制。透過系統的共模擬(Co-simulation)技術，將可提供電子產品設計時，其信號傳輸可達到更好的品質外，也可針對晶片間雜訊互相干擾問題，進行抑制方法的設計。

針對未來高度整合的電子系統之信號完整度的電磁模擬技術及設計準則，將可分為四大研究方向，以下是各方向的詳細說明

## 1. 晶片-封裝-印刷電路板之共模擬技術與共設計準則

以往的電子系統常著重於設計單一晶片的性能，而易忽略因系統整合時，如封裝(Package)結構或印刷電路板(Printed Circuit Board, PCB)上的信號線和電源供應系統等不理想因素，導致時域或頻域模擬的失真評估，更甚者將可能衍生出錯誤的設計準則。同時，對於現今高度整合的積體電路系統，其內雜訊互相干擾的問題，將隨著電路操作時脈的上升及高整合度的趨勢，導致原本穩定的電源供給受到嚴重雜訊干擾，甚至對於信號的傳輸也將造成嚴重的品質下降。

對於未來高整合度的電子系統，首先必須建立完善的主動及被動電路的共模擬技術，以探討其被動電路的不理想因素及雜訊耦合機制，如何影響整體電子系統的信號或電源完整性。另一方面，透過準確的共模擬技術，將可進一步提出正確的設計準則，以達到電子系統的性能最佳化。由此可知，如何建立一個完善的晶片-封裝-印刷電路板之共模擬技術及共設計(Co-design)準則，將是未來學界及業界的重要研究課題之一。

## 2. 電源完整性模型化與設計

在高整合度與高效能的電子系統中，電源供應品質為影響該系統穩定度最重要的要素之一。電源分佈網路(Power Distribution Network)之組成涵蓋甚廣，包含電壓調節模組(Voltage Regulator Module)、平面式電源/接地平面(Planar Power/Ground Plane)、晶片級電源網格(On-Chip Power Grid)、去耦合電容(Decoupling Capacitor)以及各式垂直互連結構：連通柱(Plated-Through-Hole Via)、鐳線(Wire bonding)、凸塊(Bump)、矽穿孔(Through-Silicon Via)等。當大量的高速數位電路同時對電源分佈網路汲取電流時，該時變的電流將透過電源分佈網路中存在的寄生效應而產生電壓壓降，其所造成的電壓擾動又稱為同步切換雜訊(Simultaneous Switching Noise)。

電源雜訊不僅影響數位電路本身輸出信號的品質，造成信號完整性(Signal Integrity)問題，也會經由電源分佈網路傳播，影響系統中的各個積體電路的電源供給，降低其輸出訊號之訊雜比(Signal-to-Noise Ratio)，進而造成整體系統之靈敏度(Sensitivity)以及傳送率(Throughput)的衰退。此外，電源雜訊也常是造成射頻干擾(Radio Frequency Interference)及電磁干擾(Electromagnetic Interference)之主要來源。為了量化電源雜訊的產生、評估其對系統的影響以及降低雜訊的干擾，電源分佈網路之模型化與設計為極具發展與備受挑戰的議題，其中包含電源分佈網路電氣特性的模擬與描述、寬頻等效電路模型的建立、雜訊干擾機制的分析、去耦合電容以及垂直互連結構的佈置、電磁能隙結構(Electromagnetic Bandgap Structure)的應用與新式扼流器(Choke)的設計等等。

### 3. 眼圖與等化器之設計

當一訊號從發射端電路傳送至接收端電路的過程，必定會經過各式各樣的互連結構(Interconnection)，又可被稱為此訊號的通道。訊號傳輸通道的品質將決定接收端的位元錯誤率(Bit Error Rate)，若位元錯誤率太高，容易造成電路系統的錯誤判讀，此對需要長距離資料傳輸的數位系統來說尤為明顯。從時域的觀點，眼圖(Eye Diagram)是分析訊號通道品質好壞的一個快速且直觀的指標。隨著數位訊號的操作頻率達到了數十億赫茲(Multi-GHz)的範圍，數位系統許多以往予以忽略的寄生效應(Parasitic effects)，諸如：金屬損耗、介質材料損耗、反射雜訊、串音雜訊與同步切換雜訊等等，逐漸地成為了滿足眼圖品質或是低位元錯誤率需求的一個設計挑戰。其中，又以金屬損耗以及介質材料損耗這兩種頻率相依的傳輸線損耗主宰著數位訊號通道品質的優劣。

為了補償因材料損耗而導致的信號品質下降，加載等化器於現今的高速傳輸路徑上已是不可或缺的。等化器的實現主要可分連續線性等化器(Continuous-time Linear Equalizer)以及離散線性等化器(Discrete Linear Equalizer)，而其中連續線性等化器又可分別以主動電路或是被動電路來實現，此兩種實現方式皆是將等化器設計成具有高通響應(High-pass Response)的特性，來補償傳輸線損耗造成的低通響應，進而改善高速數位訊號的眼圖。另一方面，離散線性等化器通常是利用有限脈衝響應濾波器(Finite Impulse Filter)來實現。有別於連續線性等化器，此等化器可借由整合於發射端電路或是接收端電路來降低製作成本，甚至可實現成一具有可適性的等化器(Adaptive Equalizer)。然而各種等化器皆有其優缺點，如何針對適當的環境選用合宜的架構，甚至設計一最佳化的等化器來最佳化訊號通道品質，將成為未來高速的數位訊號系統的設計要件之一。

### 4. 共模雜訊抑制技術

差動訊號由於其具備低串音(Crosstalk)及對電磁干擾的高抵抗等特性，已成為高速數位電路裡，最重要的傳輸介面之一。現今常見的差動傳輸介面如 HDMI、USB 的、PCI-E、SATA，已經可達到傳輸速率每秒超過十億位元(Gbps)。在理想

情況下，利用完全對稱的差動信號線，可將差動信號完美的從其發射端傳輸至接收端。然而，考慮實際的電路佈局，諸如差動積體電路的不平衡輸出或是差動信號線的轉彎、槽孔、串音、製成變異及連接器等效應，都將導致寬頻的共模雜訊產生。如果此共模雜訊耦合到電路上的散熱器、屏蔽金屬外殼，將會造成嚴重的電磁干擾和射頻干擾的問題。

一般常見的共模雜訊抑制，主要是利用繞線圈或是鐵磁性的材料，使得共模雜訊通過時感受到高阻抗的特性，進而濾掉共模雜訊。但由於現今的高速數位訊號的傳輸，工作在低頻的鐵磁性材料已經無法應付高頻的共模雜訊，加上繞線圈的方式會產生嚴重的模態轉換進而影響差模訊號品質，如何解決高頻共模雜訊將會是未來差動信號線設計的一個非常重要課題。